

HEINRICH-HERTZ-INSTITUT FÜR SCHWINGUNGSFORSCHUNG
BERLIN-CHARLOTTENBURG

Technischer Bericht Nr. 160

Ein Decoder für einschrittige Kettencodes

von

Dipl.-Ing. Klaus Böttcher



Berlin

1 9 7 2

Technischer Bericht Nr. 160

Ein Decoder für einschrittige Kettencodes

Zusammenfassung:

Im ersten Teil des Berichtes wird anhand des Blockschaltbildes der PCM-Empfänger beschrieben, in dem der Decoder verwendet wird. Der Übertragungscode des PCM-Systems ist ein einschrittiger Kettencode, der eine Korrektur von Einzelfehlern gestattet. Danach folgt eine ausführliche Beschreibung des Decoders, der aus einem fehlererkennenden und einem fehlerkorrigierenden Teil besteht.

Eine Beschreibung des verwendeten Digital-Analog-Umsetzers mit Berücksichtigung der Expandierung bildet den Schluß des Berichtes.

Der Bearbeiter

K. Böttcher

(Dipl.-Ing. K.Böttcher)

Der Abteilungsleiter

Berger

(Prof.Dr.-Ing.Erich R.Berger)

Der Institutsdirektor

Gundlach

(Prof.Dr.-Ing.F.W.Gundlach)

Berlin-Charlottenburg, d. 20.12.1972



Inhaltsverzeichnis

	Seite
1. <u>Beschreibung des PCM-Empfängers</u>	1
2. <u>Beschreibung des verwendeten Codes</u>	3
3. <u>Beschreibung des Decoders</u>	3
3.1 Prinzip der Fehlererkennung	3
3.2 Realisierung der Fehlererkennung	5
3.3 Prinzip der Fehlerkorrektur	8
3.4 Realisierung der Fehlerkorrektur	9
4. <u>Realisierung des Analog-Digital-Umsetzers</u>	11

1. Beschreibung des PCM-Empfängers

Abbildung 1 zeigt das Blockschaltbild des PCM-Empfängers. Die seriellen Daten gelangen vom Eingang in den Serien-Parallel-Umsetzer (SPU). Durch ein Signal aus der Taktversorgung wird ein vollständiges PCM-Wort aus dem SPU in den Speicher SP I übernommen.

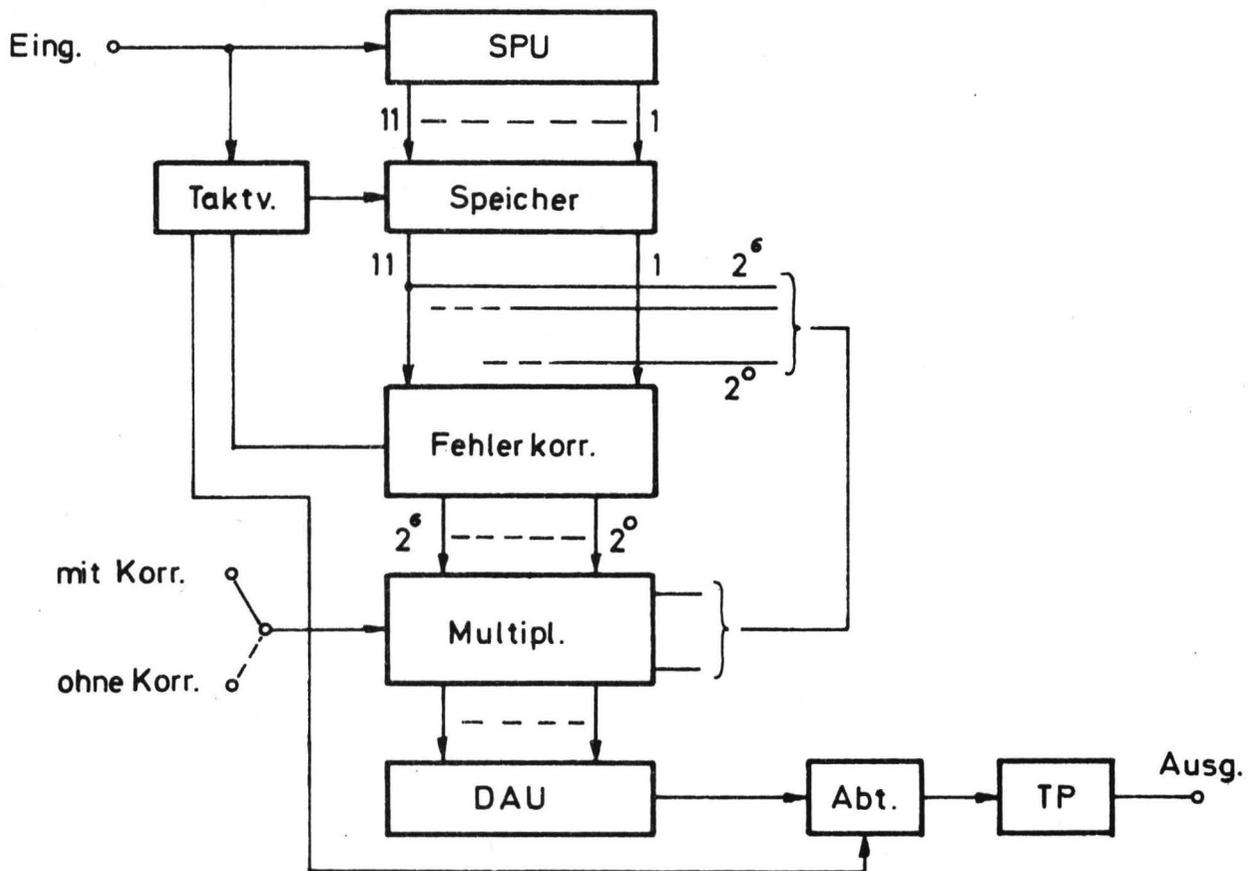


Abb. 1: PCM-Empfänger

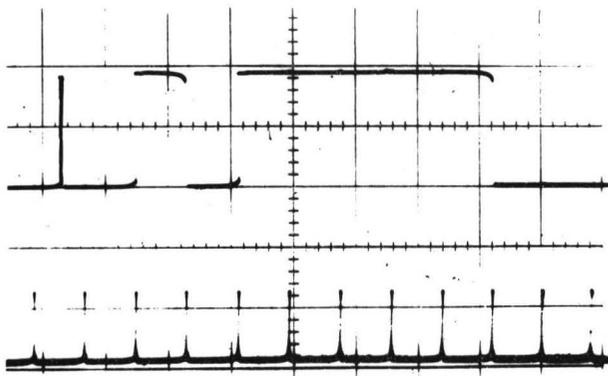


Abb. 2: PCM-Wort und Bittakt
oberer Strahl: PCM-Wort
Ablenkung: 2 V/Teil
unterer Strahl: Bittakt
Ablenkung: 3 V/Teil
X-Ablenkung: 15 μ s/Teil

Die Abbildung 2 zeigt ein PCM-Wort und den Bittakt. Dabei ist zu sehen, daß das erste Bit des Wortes durch einen ca. $1,5\mu\text{s}$ breiten Impuls markiert ist. Diese Markierung dient zur Synchronisation.

Für die Dauer eines PCM-Wortes ($125\mu\text{s}$) liegt das empfangene Wort an der Baugruppe Fehlerkorrektur zur Verarbeitung an. Dort wird festgestellt, ob ein Fehler aufgetreten ist, und, sofern dieses der Fall war, wird die Korrektur durchgeführt. Das korrigierte Wort wird im Dualcode über den Multiplexer an den Digital-Analog-Umsetzer (DAU) weitergegeben.

Unter Umgehung der Fehlerkorrektur kann ein im Dualcode gesendetes Wort über den Multiplexer an den DAU direkt gegeben werden. Dadurch wird ein Vergleich zwischen einer Übertragung mit Fehlerkorrektur und einer Übertragung ohne Fehlerkorrektur auf einfache Weise möglich.

Das Analogsignal des DAU wird durch eine weitere Baugruppe abgetastet (Bild 3) und die dabei entstehenden ca. $10\mu\text{s}$ breiten Impulse variabler Amplitude werden durch einen Tiefpaß zum ursprünglichen Analogsignal rekonstruiert. Die Abbildung 4 zeigt das Treppenstufensignal des DAU und das rekonstruierte Analogsignal. Dabei ist der durch die Quantisierung entstandene Fehler deutlich zu sehen.

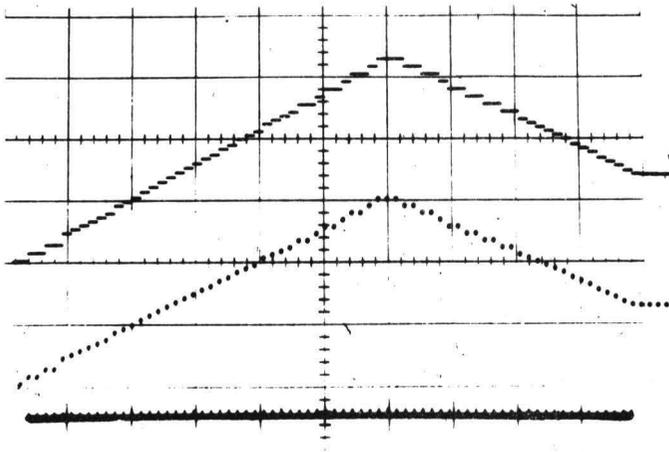


Abb. 3: Ausgangsspannung des DAU und Impulse der Nachabtastung
oberer Strahl: DAU
Ablenkung: $0,5\text{ V/Teil}$
unterer Strahl: Impulse
Ablenkung: $0,5\text{ V/Teil}$
X-Ablenkung: 1 ms/Teil

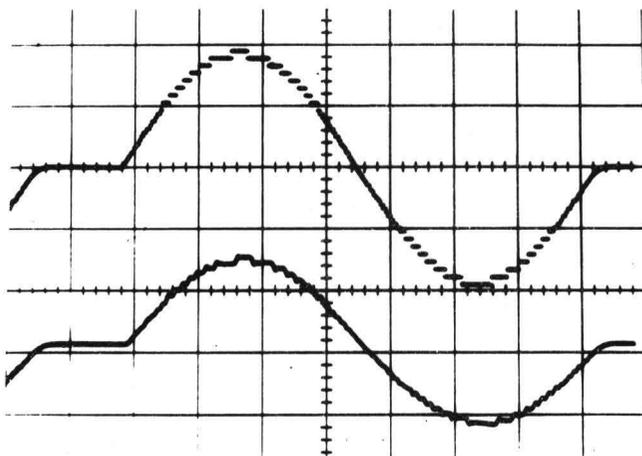


Abb. 4: Ausgangsspannung des DAU und tiefpaßgefiltertes Signal
oberer Strahl: DAU
Ablenkung: $0,5\text{ V/Teil}$
unterer Strahl: Analogsignal
Ablenkung: $0,5\text{ V/Teil}$
X-Ablenkung: 10 ms/Teil

2. Beschreibung des verwendeten Codes

Für die Übertragung wurde ein einschrittiger Kettencode entwickelt, der die Korrektur von Einzelfehlern mit einer maximalen Abweichung von ± 2 Amplitudenstufen gestattet. Die Erzeugung dieses Codes sowie seine Eigenschaften sind neben der Codierschaltung in /1/ beschrieben.

Die Codewortlänge beträgt 11 Bit, der Codeumfang ist 132. Von diesen 132 möglichen Codewörtern werden 128 für die Übertragung verwendet. Diese 128 Codewörter entsprechen 128 Amplitudenstufen. Unter Verwendung einer 13-Segment⁴-Komprimierung ist diese Amplitudenstufenzahl für eine Sprachübertragung ausreichend/2/.

3. Beschreibung des Decoders

3.1 Prinzip der Fehlererkennung

Es werden nacheinander alle Worte des Codealphabets erzeugt und mit dem empfangenen Codewort verglichen. Kommt man mit dem erzeugten Codewort in die Nähe des empfangenen Codewortes, so werden die Abstände (hierbei ist unter Abstand die Anzahl von Binärstellen zu verstehen, in denen sich die beiden Codewörter unterscheiden) kleiner. Sofern das empfangene Codewort fehlerfrei ist, wird der Abstand 0 erreicht. Ist das empfangene Codewort mit einem Fehler behaftet, so müssen zwei Fälle unterschieden werden:

- a) der Fehler hat ein im Codealphabet enthaltenes Wort erzeugt
- b) der Fehler hat kein im Codealphabet enthaltenes Wort erzeugt.

Im Fall a) kann der Fehler nicht erkannt und damit auch nicht korrigiert werden. Es tritt aber auf Grund der Einschrittigkeit des Codes nur ein Fehler von ± 1 Amplitudenstufe auf.

Im Fall b) wird der Abstand 0 beim Vergleich des empfangenen Codewortes mit dem Codealphabet nicht erreicht, sondern nur der Abstand 1, d.h. die beiden Codewörter unterscheiden sich in einer Binärstelle. In diesem Fall wird das Codewort als richtig angesehen, bei dem der Abstand 1 erreicht wurde.

Der dadurch auftretende Fehler kann ± 2 Amplitudenstufen betragen, er kann aber auch 0 sein, d.h. das empfangene fehlerbehaftete Codewort wurde richtig korrigiert.

Die Fälle a) und b) gelten für Einzelfehler im empfangenen Codewort. Treten mehrfache Fehler auf, so kann der Code diese Fehler nicht korrigieren, da sein Minimalabstand nur ≥ 3 ist. Für den Fall mehrfacher Fehler im empfangenen Codewort können u.U. die Abstände 0 und 1 nicht erreicht werden, sofern die Fehler kein dem Code ähnliches Wort erzeugen. Werden die Abstände 0 oder 1 nicht erreicht, so kann keine Decodierung stattfinden. Dadurch fällt ein Abtastwert aus, und die entstehende Lücke führt zu einem großen Amplitudenfehler bei der Rekonstruktion. Für diesen Fall wurde schaltungstechnisch eine Möglichkeit zur Verminderung des Amplitudenfehlers entwickelt. Sie wird bei der Beschreibung des Prinzips der Fehlerkorrektur erklärt.

Zum besseren Verständnis der Fehlererkennung sollen die Beispiele der Abbildung 5 dienen.

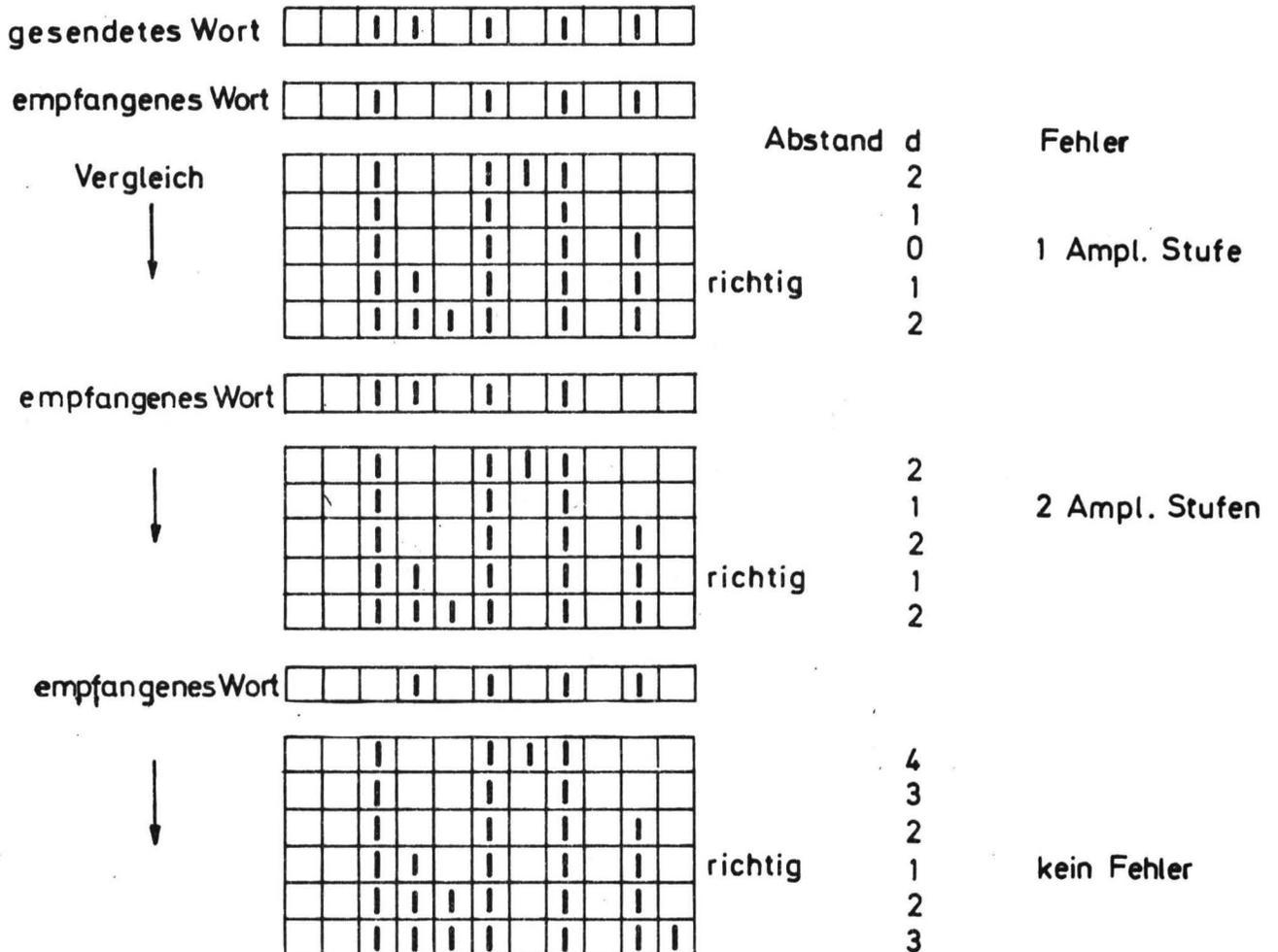


Abb. 5: Fehler bei der Korrektur

3.2 Realisierung der Fehlererkennung

Die Abbildung 6 zeigt die schaltungstechnische Realisierung der Fehlererkennung. Die seriellen Eingangsdaten laufen in ein 11-stelliges Schieberegister (SPU) ein. Wird durch die Synchronisierschaltung (Syn) erkannt, daß das empfangene PCM-Wort vollständig ist, so wird dieses in den Speicher SP I übernommen. Das Codealphabet, mit dem das im Speicher stehende Wort verglichen werden soll, wird in der Baugruppe Codeschieberegister (CSR) erzeugt. Hierbei handelt es sich um ein Schieberegister mit 132 Speicherplätzen. Der Serieneingang des Registers ist mit dem Serieneingang verbunden, sodaß ein geschlossener Ring entsteht. Zu Beginn des Vergleichs wird die für die Erzeugung des Codes notwendige Codespur in das Schieberegister eingelesen (Impuls am Eingang SL). Eine Erläuterung des Begriffes "Codespur" und die Erzeugung des Codealphabets aus dieser Codespur befindet sich in /1/.

Durch einen 1,2 MHz Takt wird nun die Information im Schieberegister weitergeschoben. Dabei entstehen an den 11 parallelen Ausgängen nacheinander die einzelnen Codeworte. Sie werden bitweise mit dem im Speicher stehenden empfangenen Codewort verglichen. Dieser Vergleich erfolgt durch Exklusiv-Oder-Schaltkreise, deren Ausgang logisch "0" ist, wenn beide Eingänge sich im gleichen logischen Zustand ("0" oder "L") befinden. Ist dagegen die Information an den beiden Eingängen unterschiedlich, so erhält man am Ausgang eine "L". Bei den nachfolgenden Invertern handelt es sich um solche mit offenem Kollektor, d.h. der Ausgangstransistor hat keinen Kollektorwiderstand. Die mit R bezeichneten Widerstände übernehmen diese Funktion.

Die Ermittlung des Abstandes zwischen empfangenem und erzeugtem Codewort erfolgt auf folgende Weise. Jede bitweise Übereinstimmung der Stellen 1 bis 11 des Codewortes mit dem empfangenen Wort erzeugt eine logische "L" am Ausgang eines Inverters. Da die logische "L" dem gesperrten Zustand des Ausgangstransistors entspricht, kann über den dazugehörigen Widerstand R nur der Kollektorreststrom fließen. Je mehr Übereinstimmungen auftreten, um so höher wird die Spannung U_k (siehe Abbildung 7). Wählt man nun die Spannungen U_0, U_1 und U_2 geeignet, so erhält man an den Ausgängen der Komparatoren K_0, K_1 und K_2 Signale, die den Abstän-

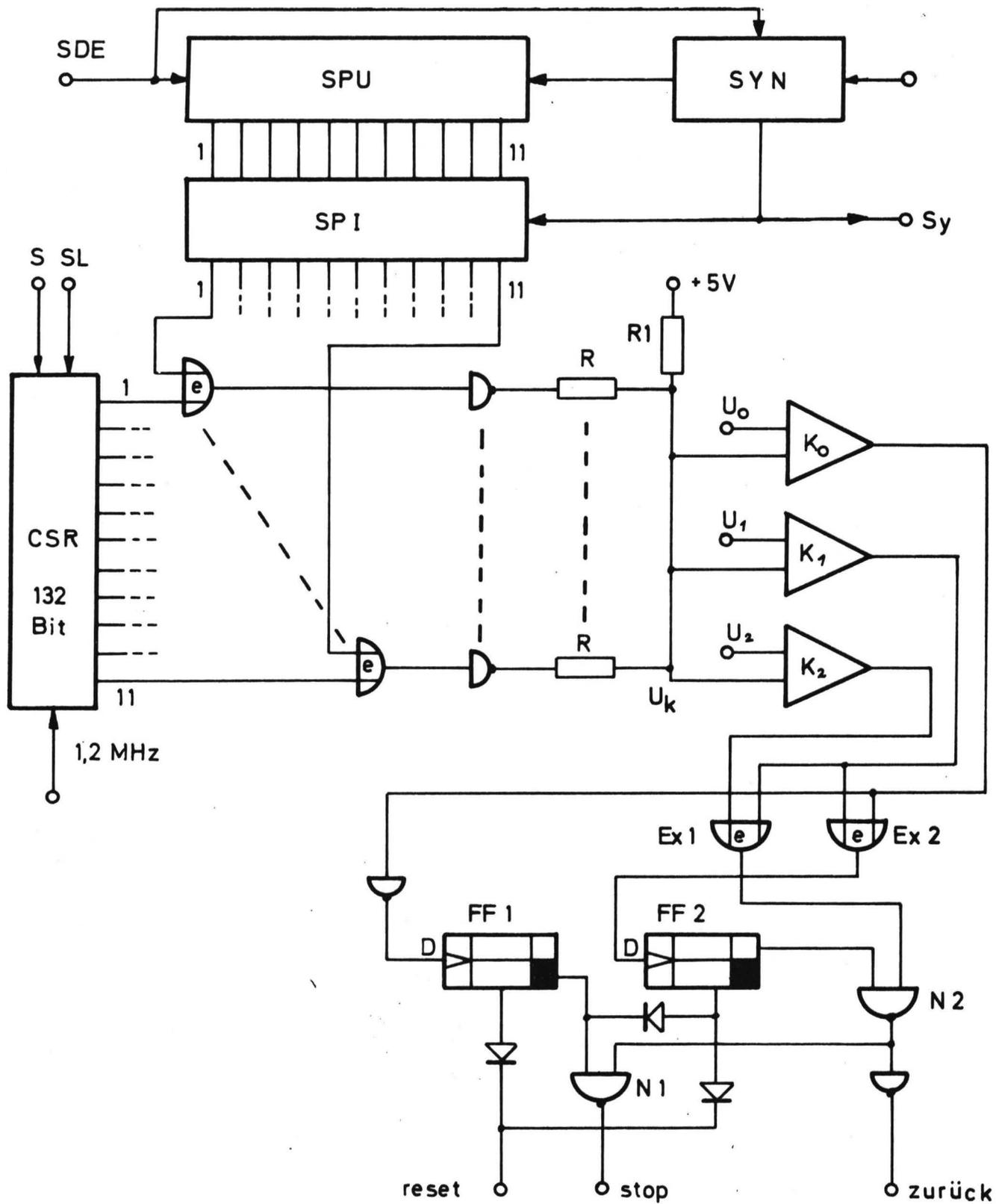


Abb. 6: Fehlererkennung

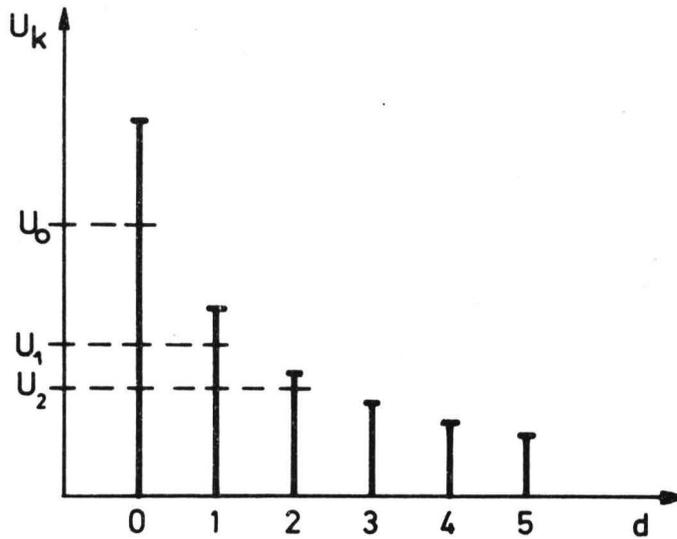


Abb. 7: Komparatorereingangsspannung als Funktion des Abstands

den 0, 1 und 2 entsprechen.

Die Reihenfolge des Auftretens dieser Abstände ist dabei

$2 \rightarrow 1 \rightarrow 0$, wenn ein empfangenes Codewort Bestandteil des Codealphabets ist, bzw.

$2 \rightarrow 1 \rightarrow 2$, wenn ein Einzelfehler das empfangene Codewort verfälscht hat.

Diese beiden Fälle werden nun durch eine Logik ausgewertet.

Das Signaldiagramm dazu zeigt die Abbildung 8 auf der folgenden Seite.

Im Fall a) (ungestört) wird nur ein Stop-Befehl erzeugt, der die weitere Erzeugung von Codewörtern durch das Codeschieberegister verhindert. Der Fall b) (gestörtes Codewort) wird daran erkannt, daß auf den Abstand 1 nicht der Abstand 0, sondern der Abstand 2 folgt. Sobald dieser Abstand 2 auftritt, wird zusätzlich zum Stop-Befehl ein Befehl "zurück" erzeugt. Durch diesen Befehl wird die Fehlerkorrektur eingeleitet.

Das Oszillogramm der Abbildung 9 zeigt die Komparatorereingangsspannung U_k und den Stop-Befehl.

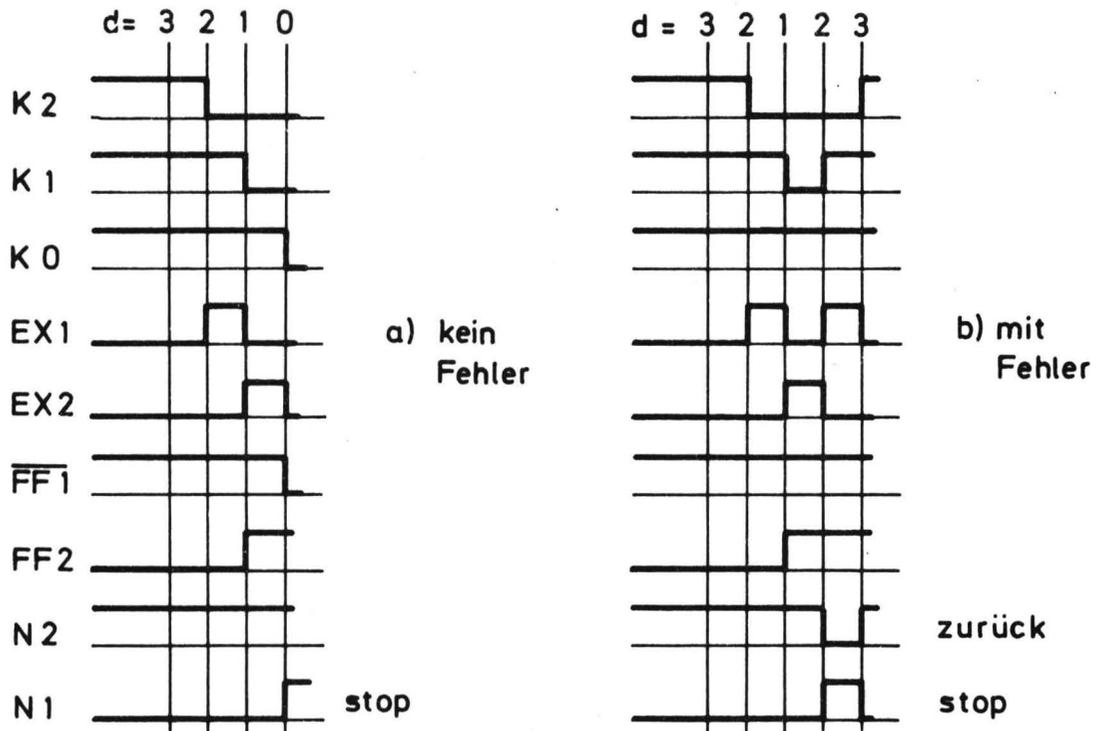


Abb. 8: Signaldiagramm der Fehlererkennung

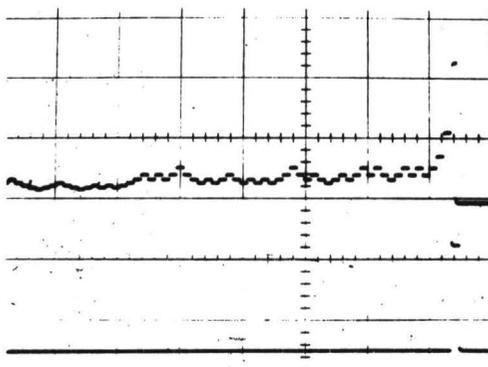


Abb. 9: Komparatorspannung und Stop-Befehl
 oberer Strahl: U_k
 Ablenkung: 2 V/Teil
 unterer Strahl: Stopbef.
 X-Ablenkung: $10 \mu s / \text{Teil}$

3.3 Prinzip der Fehlerkorrektur

Die Fehlerkorrektur beruht auf der Tatsache, daß das ähnlichste Wort des Codealphabets, erkennbar am kleinsten Abstand, als das wahrscheinlichste Codewort zur Decodierung verwendet wird. Das ist sowohl beim Erreichen des Abstandes 0, als auch beim Abstand 1 der Fall, sofern danach der Abstand 2 folgt.

Werden die Abstände 0 oder 1 nicht erreicht, so kann auf Grund

der Codestruktur keine Korrektur erfolgen. In diesem Fall geht man davon aus, daß aufeinanderfolgende Abtastwerte sich bei einem Sprachsignal, welches auf 3,4 kHz begrenzt wurde und mit 8 kHz abgetastet wird, nur wenig voneinander unterscheiden. Tritt nun bei der Decodierung ein nicht decodierbares Wort auf, so macht man sich die oben erwähnte Tatsache zunutze und wiederholt den alten Abtastwert.

3.4 Realisierung der Fehlerkorrektur

Die Abbildung 10 zeigt die Realisierung der Fehlerkorrektur und der Decodierung.

Ein Oszillator erzeugt den 1,2 MHz Takt für das Codeschieberegister. Diese Takte werden in einem Vor-Rück-Zähler mitgezählt und stellen die Umsetzung des Kettencodes in einen Dualcode dar, d.h. nach erfolgter Decodierung steht im Vor-Rück-Zähler die duale Darstellung der übertragenen Amplitudenstufe.

Eingeleitet werden Fehlerkorrektur und Decodierung durch den Synchronimpuls am Eingang Sy. Das Flipflop FF 3 wird gesetzt und gibt den Oszillator frei. Es werden nun solange Impulse erzeugt, bis FF 4 durch den Stop-Befehl gesetzt wird. Über EX 3, EX 4 und den Inverter wird FF 3 zurückgesetzt und sperrt durch seine logische "0" am Ausgang den Oszillator. Durch die monostabile Kippstufe MF 1 wird ein Impuls erzeugt, der das Einspeichern des Zählerstandes in den Speicher SP II bewirkt. Außerdem triggert dieser Impuls das Monoflop MF 2, welches das Rücksetzen des Vor-Rück-Zählers und das Löschen und neue Einlesen der Codespur bewirkt.

Die im Speicher SP II stehende Information entspricht der gesendeten Amplitudenstufe und gelangt über den Multiplexer zum Analog-Digital-Umsetzer.

Treten die Impulse "stop" und "zurück" gleichzeitig auf, so wird das Anhalten des Oszillators um einen Takt verzögert. Gleichzeitig wird der Vor-Rück-Zähler auf seinen rückwärts zählenden Zustand gesteuert. Dadurch wird durch den einen zusätzlichen Takt der Zählerstand um 1 vermindert, und die Korrektur ist durchgeführt. Das Sperren des Oszillators erfolgt dann wie oben beschrieben, da der Befehl "zurück" nach dem einen Takt gelöscht wird.

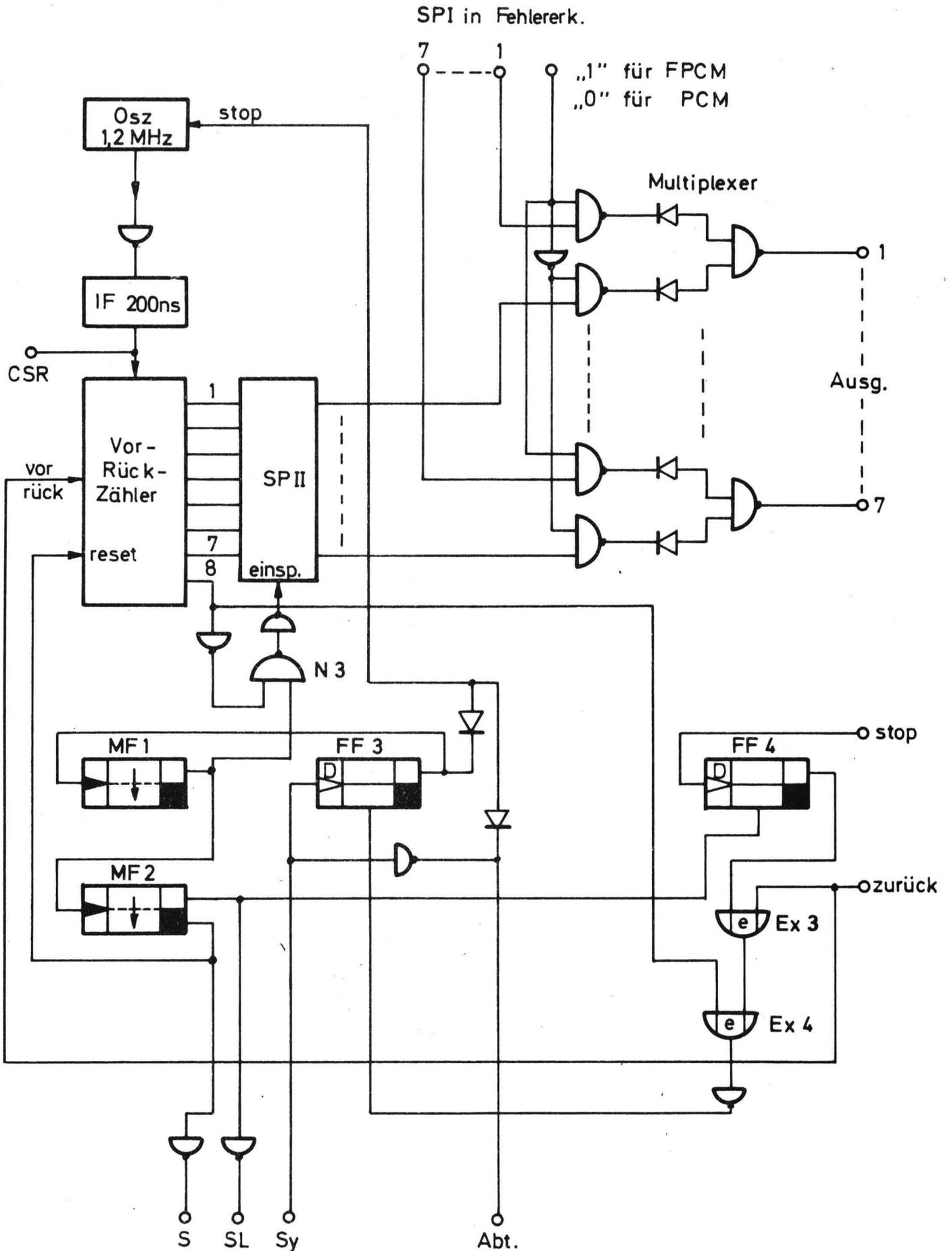


Abb. 10: Fehlerkorrektursteuerung

Tritt ein nicht decodierbares Wort auf, so läuft der Vor-Rück-Zähler bis in die Stellung 129, d.h. seine 8. Binärstelle wird logisch "L". Dadurch wird über EX 4 und den Inverter das Flipflop FF zurückgesetzt und damit der Oszillator gestoppt. Gleichzeitig wird über N 3 der Einspeicherimpuls für SP II gesperrt; der alte, dem vorangegangenen Abtastwert entsprechende Zustand bleibt erhalten.

4. Realisierung des Analog-Digital-Umsetzers

Die decodierten Abtastwerte liegen nach der Fehlerkorrektur als Dualzahlen vor. Die in ihnen noch vorhandene nichtlineare Kompan-dierung wird durch ein der Sendeseite inverses Verfahren (Expandierung, Kennlinie nach Abbildung 11) rückgängig gemacht.

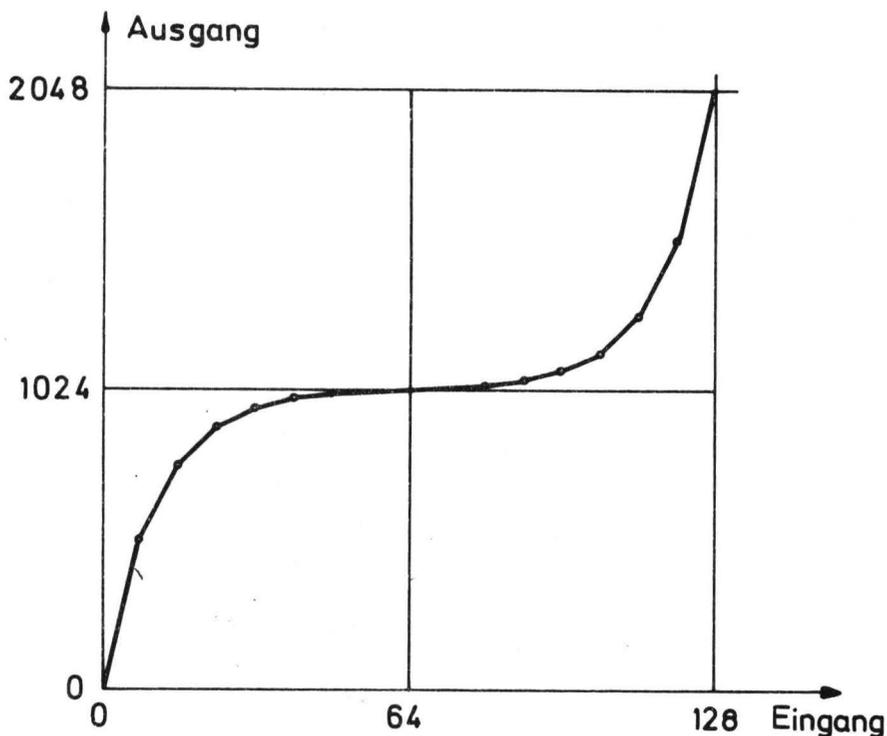


Abb.: 11 Expanderkennlinie

Das Kompan-dierungsverfahren benutzt eine 13-Segment-Kennlinie. Hierbei bestimmen die Binärstellen mit den Wertigkeiten 2^6 , 2^5 , 2^4 und 2^3 je nach Zustand ein bestimmtes Kennliniensegment und

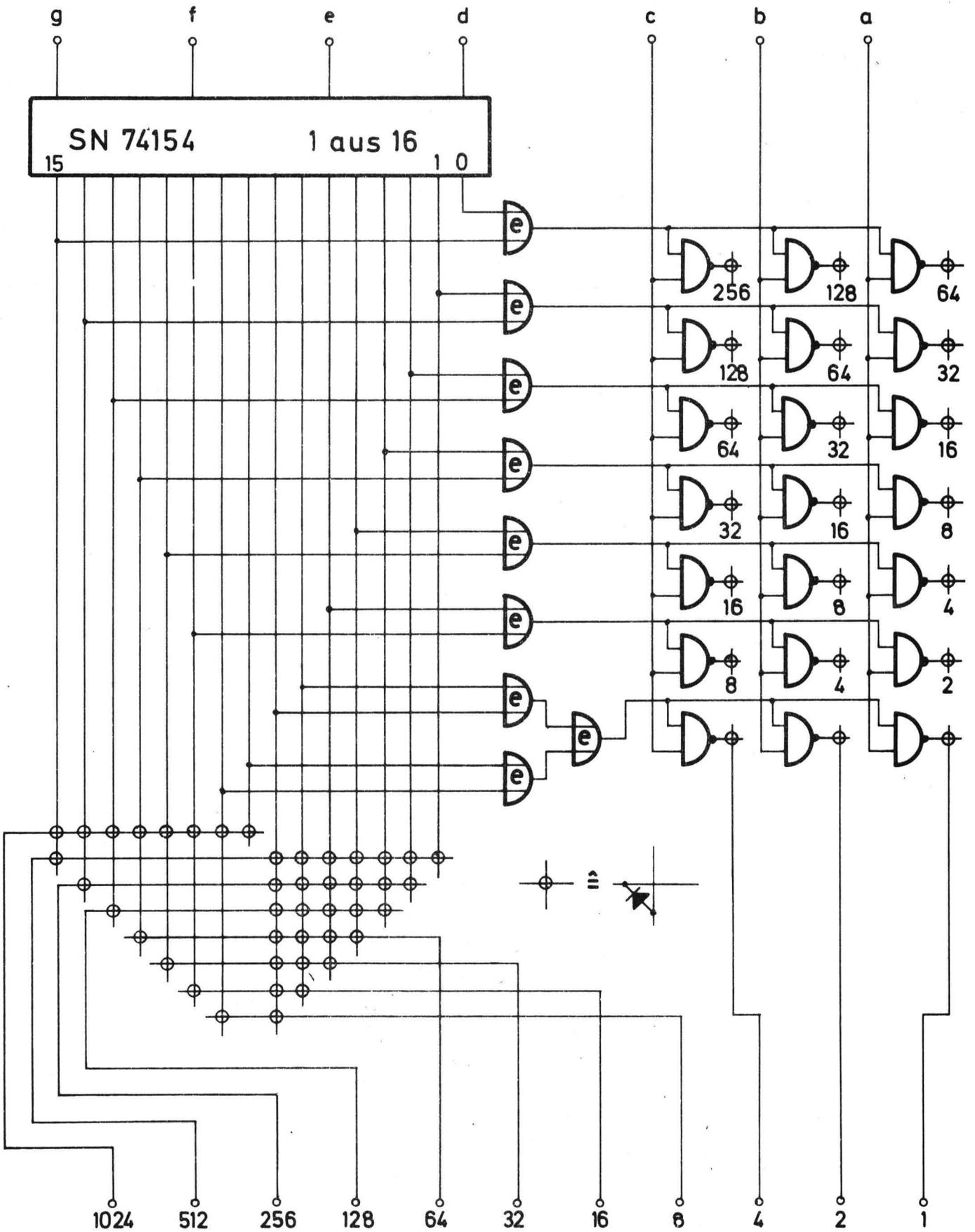


Abb. 12: Expander

die restlichen drei Binärstellung werden zur linearen Quantisierung innerhalb des Segments benutzt. Die Steigungen aufeinanderfolgender Segmente unterscheiden sich um den Faktor 2. Deshalb wird für große Eingangsamplituden grob (64 mV-Schritte), im Bereich der Nulldurchgänge fein (1 mV-Schritte) quantisiert. Die Expandierung findet durch die in Abbildung 12 dargestellte Schaltung statt. An den Eingängen a bis g liegt bitweise das korrigierte Dualwort. Über die Eingänge d bis g wird das entsprechende Segment gewählt, die Eingänge a, b und c führen die lineare Interpolation innerhalb des Segments durch. Die 11 Ausgänge steuern die entsprechenden Eingänge des Analog-Digital-Umsetzers. Seine Prinzipschaltung wird in Abbildung 13 gezeigt.

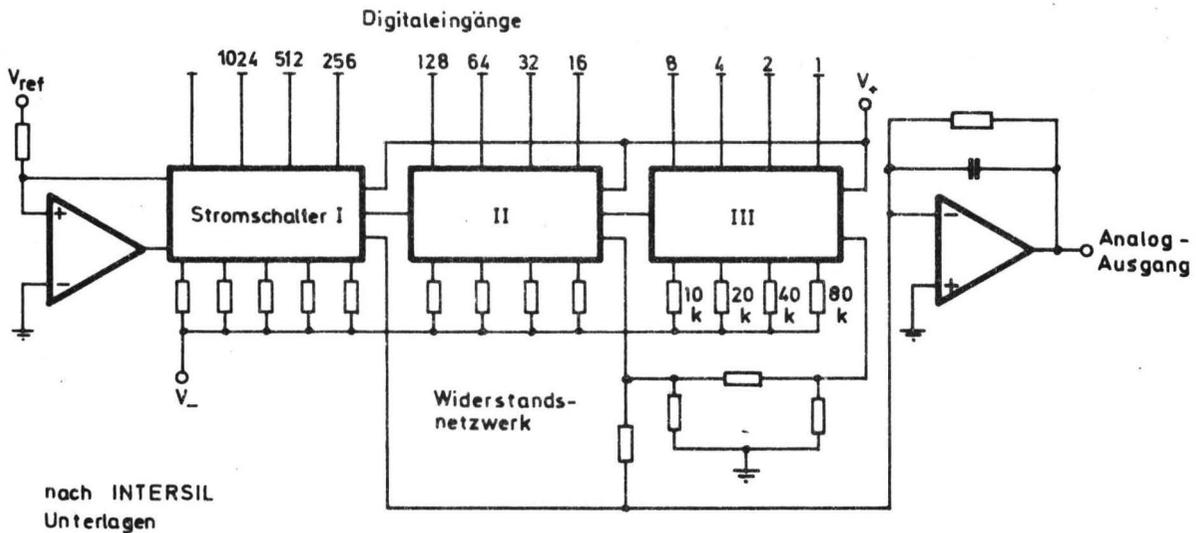


Abb. 13: Prinzip des DAU

Der DAU besteht aus Stromschaltern und einem integrierten Widerstandsnetzwerk für die Einstellung und die Summation der gewichteten Ströme. Jeder der drei Stromschalter enthält vier Schalter, die zusammen mit den binär gestuften Widerständen des Netzwerks einen ebenfalls binär gestuften Ausgangsstrom liefern. Über ein Widerstandsteilernetzwerk wird der Ausgangsstrom der zweiten Stufe 16:1, der

Ausgangsstrom der dritten Stufe 256:1 geteilt. Dadurch kann man mit drei identischen Stufen einen Wertebereich von 2048 Stufen in Einer-Schritten erzeugt werden. Durch einen Operationsverstärker wird der Ausgangsstrom in eine proportionale Spannung umgewandelt. Am Ausgang steht dann das rekonstruierte Analogsignal zur Verfügung. Es wird abgetastet und die nun entstandenen Impulse variabler Amplitude werden durch einen Tiefpaß mit einer Grenzfrequenz von 4 kHz zum kontinuierlichen Sprachsignal gefiltert.

/1/ K. Böttcher

Technischer Bericht Nr. 139 des
Heinrich-Hertz-Instituts
Berlin-Charlottenburg
Die Erzeugung einschnittiger Ketten-
codes (1971)

/2/ H. Hessenmüller
H.W. Wellhausen

Technischer Bericht des FTZ (A442 TBr 1)
Verfahren zur Messung der Geräusche
in PCM-Übertragungssystemen (1967)

